

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-243761

(43)Date of publication of application : 07.09.2001

(51)Int.Cl.

G11C 11/22
 B42D 15/10
 G11C 14/00
 G11C 16/04
 G11C 16/06
 H01L 27/10
 H01L 27/108
 H01L 21/8242

(21)Application number : 2000-049374

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 25.02.2000

(72)Inventor : OONO MORIFUMI

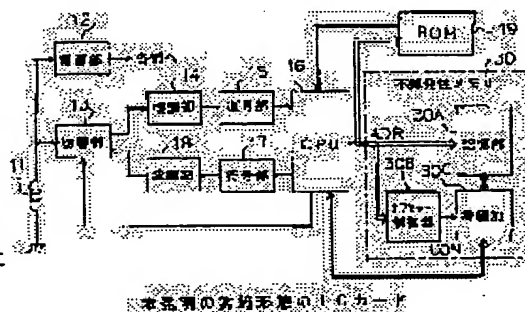
(54) NONVOLATILE MEMORY AND MANUFACTURING METHOD OF THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a nonvolatile memory that required area is small and security can be protected.

SOLUTION: A storing part 30A has a ferroelectric capacitor subjected to heat treatment according to a predetermined address pattern as a storage element, and either of two types of residual polarization value is outputted in accordance with the existence/absence of the heat treatment with respect to the contents of a memory cell selected by an address signal ADR.

Meanwhile, an offset controlling part 30B has an address pattern, and the existence/absence of a storage element selected by the address signal ADR is outputted as a control signal CON. An amplifying part 30C decides the residual polarization value of the memory cell according to the control signal CON. Then, it is possible to quickly read correct data with a small circuit without needing a large scale circuit such as an enciphering circuit or large scale processing.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-243761

(P2001-243761A)

(43) 公開日 平成13年9月7日 (2001.9.7)

(51) Int.Cl. ⁷	識別記号	F I	テーマト* (参考)
G 1 1 C 11/22		G 1 1 C 11/22	2 C 0 0 5
B 4 2 D 15/10	5 2 1	B 4 2 D 15/10	5 2 1 5 B 0 2 4
G 1 1 C 14/00		H 0 1 L 27/10	4 5 1 5 B 0 2 5
16/04		G 1 1 C 11/34	3 5 2 A 5 F 0 8 3
16/06		17/00	6 2 1 Z

審査請求 未請求 請求項の数 2 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願2000-49374(P2000-49374)

(22) 出願日 平成12年2月25日 (2000.2.25)

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 大野 守史

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74) 代理人 100086807

弁理士 柿本 恭成

Fターム(参考) 2C005 MA05 MA16 NB40

5B024 AA15 BA02 BA09 BA25 BA29

CA07 CA27

5B025 AA01 AB01 AC04 AD05 AE00

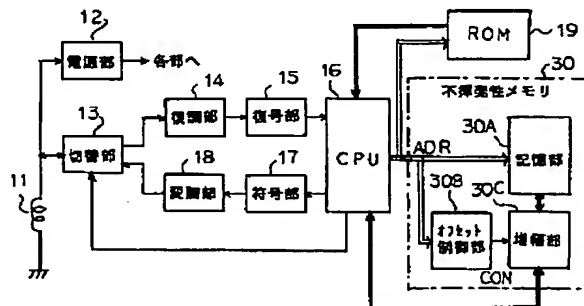
5F083 FR07 GA09 LA05 LA10 PR33

(54) 【発明の名称】 不揮発性メモリとその製造方法

(57) 【要約】

【課題】 所要面積が少なくかつセキュリティの保護が可能な不揮発性メモリを提供する。

【解決手段】 記憶部30Aは、予め定めたアドレスパターンに従って熱処理が施された強誘電性キャパシタを記憶素子として有しており、アドレス信号ADRで選択されたメモリセルの内容は、熱処理の有無に対応して2種類の残留分極値いずれか一方が出力される。一方、オフセット制御部30Bはアドレスパターンを有しており、アドレス信号ADRで選択された記憶素子の熱処理の有無が制御信号CONとして出力される。増幅部30Cでは、制御信号CONに従ってメモリセルの残留分極値を判定する。従って、暗号化回路等の大規模な回路と処理を必要とせず、小さな回路で迅速に正しいデータを読み出すことができる。



本発明の実施形態のICカード

【特許請求の範囲】

【請求項 1】 一定の温度条件下で所定の電圧を印加することによって残留分極特性が変化する強誘電体を記憶素子として用い、予め定めたアドレスパターンに従ってアドレス毎に該記憶素子を第 1 または第 2 のいずれかの残留分極特性に設定した記憶手段と、
アドレス信号で選択された前記記憶素子の残留分極特性の区別を示す制御信号を前記アドレスパターンに基づいて出力する制御手段と、
前記アドレス信号で選択されて前記記憶手段から出力された記憶素子の残留分極値を前記制御信号に従って判定することによって該記憶手段のデータを読み出す読出手段とを、
備えたことを特徴とする不揮発性メモリ。

【請求項 2】 シリコン基板上に複数の絶縁ゲート型トランジスタと複数の強誘電体キャパシタを形成し、これらの絶縁ゲート型トランジスタと強誘電体キャパシタを電気的に接続してアドレス信号で選択可能な複数のメモリセルを形成する不揮発性メモリの製造方法において、前記複数のメモリセルの内、予め定めたメモリセルを前記アドレス信号で順次選択し、その選択したメモリセルの強誘電体キャパシタに一定の温度条件下で所定の電圧を印加して残留分極特性を変化させる処理を追加したことを特徴とする不揮発性メモリの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えば IC カード等に用いられて情報を記録する不揮発性メモリとその製造方法に関するものである。

【0002】

【従来の技術】 図 2 は、従来の IC カードの一例を示す構成図である。この IC カードは、図示しないカード読み書き装置との電磁結合によって所要の電力供給を受けると共に、データの送受信を行うアンテナコイル 11 を有している。アンテナコイル 11 には、電磁結合で得られた電力を直流電圧に変換して IC カード内の各部に供給する電源部 12 と、データの送受切替を行う切替部 13 が接続されている。

【0003】 切替部 13 の受信側は、復調部 14 及び復号部 15 を介して、中央処理部（以下、「CPU」という）16 に接続されている。また CPU 16 は、符号部 17 及び変調部 18 を介して、切替部 13 の送信側に接続されている。復号部 15 及び符号部 17 は、IC カードとカード読み書き装置の間で送受信するデータを暗号化するためのものである。また、復調部 14 及び変調部 18 は、暗号化されたデータを伝送路に適した信号形式で送受信するためのものである。

【0004】 CPU 16 には、処理用のプログラムが格納された ROM (Read Only Memory) 19、及び処理済みのデータを保存するための EEPROM (Electrical

ly Erasable & Programmable Read Only Memory) 等の不揮発性メモリ 20 と、この不揮発性メモリ 20 にデータを暗号化して格納するための暗号部 21 が接続されている。

【0005】 このような IC カードが、カード読み書き装置にセットされると、アンテナコイル 11 に誘起された起電力が電源部 12 に与えられ、この電源部 12 によって所要の直流電源が生成され、IC カード内の各部に供給される。一方、アンテナコイル 11 で受信した信号は、復調部 14 で受信データに復調され、復号部 15 で暗号文から平文に変換される。復号部 15 から出力された受信データは CPU 16 に与えられ、ROM 19 中のプログラムに基づいて処理される。処理結果のデータの一部は、暗号部 21 に与えられて暗号化され、不揮発性メモリ 20 に保存される。

【0006】 また、不揮発性メモリ 20 に保存されたデータは、暗号部 21 を介して読み出され、CPU 16 で処理される。CPU 16 の処理結果の送信データは、符号部 17 で暗号化された後、変調部 18 で変調されてアンテナコイル 11 から送信される。

【0007】 このように、この IC カードでは、復号部 15 及び符号部 17 によって、カード読み書き装置との間の送受信データを暗号化して秘匿性を高くすると共に、暗号部 21 によって、不揮発性メモリ 20 に保存するデータの暗号化を行っている。これにより、たとえ不揮発性メモリ 20 の記憶内容を、レジン除去、光学的解析等の物理的手法によって読み取ったとしても、データの内容を解読することができないように、セキュリティの保護が図られている。

【0008】

【発明が解決しようとする課題】 しかしながら、従来の IC カードでは、次のような課題があった。即ち、不揮発性メモリ 20 にデータを暗号化して保存するために、暗号部 21 が必要である。暗号部 21 は、暗号鍵の桁数や、演算方式によってその規模は異なるが、例えば 32 ビット鍵の場合、10,000 ゲート程度の規模の暗号処理回路となる。このため、IC カード中に占める暗号部 21 の所要面積が大きくなるという課題があった。

【0009】 本発明は、前記従来技術が持っていた課題を解決し、所要面積が少なく、かつセキュリティの保護が可能な不揮発性メモリとその製造方法を提供するものである。

【0010】

【課題を解決するための手段】 前記課題を解決するために、本発明の内の第 1 の発明は、不揮発性メモリにおいて、一定の温度条件下で所定の電圧を印加することによって残留分極特性が変化する強誘電体を記憶素子として用い、予め定めたアドレスパターンに従ってアドレス毎に該記憶素子を第 1 または第 2 のいずれかの残留分極特性に設定した記憶手段と、アドレス信号で選択された前

記憶素子の残留分極特性の区別を示す制御信号を前記アドレスパターンに基づいて出力する制御手段と、前記アドレス信号で選択されて前記記憶手段から出力された記憶素子の残留分極値を前記制御信号に従って判定することによって該記憶手段のデータを読み出す読出手段とを備えている。

【0011】第1の発明によれば、以上のように不揮発性メモリを構成したので、次のような作用が行われる。アドレス信号で記憶手段の記憶素子が選択され、その強誘電体の残留分極値が読出手段に出力される。また、制御手段からは、アドレス信号で選択された記憶素子の残留分極特性の区分を示す制御信号が出力される。読出手段では、記憶手段から出力された残留分極値が、制御手段から出力された制御信号に従って判定され、記憶素子のデータが読み出される。

【0012】第2の発明は、シリコン基板上に複数の絶縁ゲート型トランジスタと複数の強誘電体キャパシタを形成し、これらの絶縁ゲート型トランジスタと強誘電体キャパシタを電気的に接続してアドレス信号で選択可能な複数のメモリセルを形成する不揮発性メモリの製造方法において、前記複数のメモリセルの内ですべてのメモリセルを前記アドレス信号で順次選択し、その選択したメモリセルの強誘電体キャパシタに一定の温度条件下で所定の電圧を印加して残留分極特性を変化させる処理を追加している。

【0013】

【発明の実施の形態】図1は、本発明の実施形態を示すICカードの構成図であり、図2中の要素と共通の要素には共通の符号が付されている。このICカードは、図2と同様に、図示しないカード読み書き装置との電磁結合によって所要の電力供給を受けると共に、データの送受信を行うアンテナコイル11を有している。アンテナコイル11には、電磁結合で得られた電力を直流電圧に変換してICカード内の各部に供給する電源部12と、データの送受切替を行う切替部13が接続されている。

【0014】切替部13の受信側は、復調部14及び復号部15を介して、CPU16に接続されている。またCPU16は、符号部17及び変調部18を介して、切替部13の送信側に接続されている。復号部15及び符号部17と、復調部14及び変調部18とは、それぞれ、受信回路、通信回路を構成する。CPU16には、処理用のプログラムが格納されたROM19が接続されている。更に、CPU16には、処理結果のデータ等を保存するための不揮発性メモリ30が接続されている。この不揮発性メモリ30は、記憶手段（例えば、記憶部）30A、制御手段（例えば、オフセット制御部）30B、及び読出手段（例えば、増幅部）30Cで構成されている。記憶部30Aは、後述するように熱処理で残留分極値を偏移（オフセット）させることが可能な強誘電体をメモリセルとして用いたものであり、メモリセル

単位にオフセットの有無を設定することにより、データの秘匿性を持たせるようにしたものである。

【0015】オフセット制御部30Bは、例えば論理演算回路等で構成され、与えられたアドレス信号ADRに基づいて演算処理を行い、読み書き対象のメモリセルのオフセットの有無を示す制御信号CONを出力するものである。また、増幅部30Cは、制御信号CONに従ってメモリセルの内容の読み書きを行うものである。

【0016】図3は、図1中の不揮発性メモリ30の概略の構成図である。この不揮発性メモリ30は、平行に配置されたワード線WLx（但し、 $x=0\sim m$ ）と、これらのワード線WLxと交互に平行配置されたプレート線PLxを有している。更に、この不揮発性メモリ30は、ワード線WLx及びプレート線PLxに直交して配置された相補的なビット線BLy、 \overline{BLy} （但し、 $y=0\sim n$ 、また、「 $\overline{}$ 」は反転を意味する）を有している。ワード線WLx、プレート線PLx、及びビット線BLy、 \overline{BLy} の各交差箇所には、メモリセル31x,yが配置されている。

【0017】各メモリセル31x,yはすべて同一構成であり、メモリセル31o,oに例示したように、2つのNチャネルMOSトランジスタ（以下、「NMOS」という）31a,31bと、2つの強誘電体キャパシタ31c,31dで構成されている。NMOS31a,31bのゲートはワード線WLxに共通接続され、ドレインはそれぞれ強誘電体キャパシタ31c,31dを介してプレート線PLxに共通接続され、ソースはそれぞれビット線BLy、 \overline{BLy} に接続されている。強誘電体キャパシタ31c,31dは、後述するように、製造過程において熱処理が行われ、残留分極値のオフセットの有無がメモリセル単位に予め設定されている。

【0018】ワード線WLx及びプレート線PLxは、それぞれワードデコーダ32及びプレートデコーダ33に接続されている。そして、アドレス信号ADRで選択された1組のワード線WLx及びプレート線PLxが、ワードデコーダ32及びプレートデコーダ33によって活性化され、これに接続されたメモリセル31x,o \sim 31x,nが選択されるようになっている。

【0019】各ビット線BLy、 \overline{BLy} は、それぞれセンスアンプ34yに接続されている。各センスアンプ34yはすべて同一構成であり、センスアンプ34oに例示したように、スイッチ用のNMOS34a,34b、データラッチ用のフリップフロップ34Fを構成するPチャネルMOSトランジスタ（以下、「PMOS」という）34c,34d,34e,34fとNMOS34g,34h,34i,34j、相補的なタイミング信号を生成するためのインバータ34k、及びオフセット電圧Vosの制御を行うスイッチ用のNMOS34lで構成されている。

【0020】ビット線BLy、 \overline{BLy} は、タイミング

回路35からのタイミング信号TM1によってオン／オフ制御されるNMOS34a, 34bを介して相補的なデータビット線DB_y, /DB_yに接続されている。また、データビット線DB_y, /DB_yには、タイミング回路35からのタイミング信号TM2で動作制御されるフリップフロップ34Fが接続されている。更に、データビット線DB_yは、オフセット制御部30Bから与えられる制御信号CONで導通制御されるNMOS34Iを介して、オフセット電圧V_{os}に接続されている。そして、データビット線DB_y, /DB_yは、選択されたメモリセル31_{x, y}に対する書き込み及び読み出しデータを転送するデータバスとして、CPU16に接続されるようになっている。

【0021】図4は、図3中のメモリセル31の記憶原理の説明図である。この図4において、横軸はメモリセル31中の強誘電体キャパシタ31c, 31dに対する印加電圧を示し、縦軸はこの強誘電体キャパシタ31c, 31dの分極値を示している。図4中の実線Aは、熱処理を行っていない強誘電体キャパシタのヒステリシス特性であり、破線Bは、120～180℃に加熱した状態、3～7Vの電圧を印加する熱処理を行った強誘電体キャパシタのヒステリシス特性である。図4に示すように、熱処理を行うことにより、ヒステリシスループが右側にシフトしてインプリント状態になることがわかる。

【0022】実線Aの強誘電体キャパシタに論理値“1”を書き込むために、例えば+2Vを印加した後、この印加電圧を0Vにすると、点A1に対応する分極値が残留分極値として記憶される。また、論理値“0”を書き込むために、例えば-2Vを印加した後、この印加電圧を0Vにすると、点A0に対応する分極値が残留分極値として記憶される。一方、破線Bの強誘電体キャパシタに論理値“1”を書き込むために、例えば+3Vを印加した後、この印加電圧を0Vにすると、点B1に対応する分極値が残留分極値として記憶される。また、論理値“0”を書き込むために、例えば-1Vを印加した後、この印加電圧を0Vにすると、点B0に対応する分極値が残留分極値として記憶される。

【0023】このように、同じ論理値を書き込んだ場合でも、強誘電体キャパシタの熱処理の有無によって、記憶される残留分極値が異なる。このため、データの書き込みにおいて、熱処理の有無に応じて適正な印加電圧を与える必要がある。即ち、熱処理が施されたメモリセルに対しては、印加電圧を+1Vだけオフセットしてデータの書き込みを行う必要がある。また、データを読み出す場合においても、一定の閾値を有するセンスアンプでは正しく読み出すことができない。即ち、熱処理が施されたメモリセルに対しては、閾値電圧を+1Vだけオフセットしてデータの読み出しを行う必要がある。従って、正しく読み書きを行うためには、アドレス毎のオフ

セットの有無の情報が必要となる。

【0024】図5は、図3の不揮発性メモリ30として使用される強誘電体メモリの製造工程図である。この強誘電体メモリは、次の工程1～11によって製造される。

(1) 工程1

P型のシリコン基板1の全面に第1の酸化膜(SiO₂)2Aとシリコン窒化膜(Si₃N₄)3を順次成長した後、トランジスタ(即ち、メモリセル31中のNMOS31a, 31b)となる領域以外(フィールド)のSiO₂とSi₃N₄を除去する。

【0025】(2) 工程2

シリコン基板1を熱酸化する。Si₃N₄は酸化されないので、フィールド部分に厚い酸化膜2Aを形成することができる。

(3) 工程3

シリコン窒化膜3を除去した後に、トランジスタのゲート酸化膜及びゲートとなるポリシリコン層4を成長させる。

【0026】(4) 工程4

ポリシリコン層4をエッチングし、ゲート部分となるゲートポリシリコン4aと配線部分となる配線ポリシリコン4bを形成する。

(5) 工程5

ウエハ全面に燐等のN型不純物のイオンを打ち込む。これにより、トランジスタ領域に注入されたN型不純物が、ソース5及びドレイン6を形成する。

【0027】(6) 工程6

ウエハ全面に第2の酸化膜2Bを成長させる。(7) 工程7

酸化膜2Bの上に、金属膜、強誘電体、及び金属膜を順次蒸着してMFM(Metal-Ferroelectric-Metal)層7を形成する。更に、メモリセル31中の強誘電体キャパシタ31c, 31dとなる領域のMFM層7を残して、それ以外の部分を除去する。

【0028】(8) 工程8

ウエハ全面に第3の酸化膜2Cを形成した後、ゲートポリシリコン4a、配線ポリシリコン4b、ソース5、ドレイン6、及MFM層7等とコンタクトをとるために、酸化膜2B, 2Cに窓をあける。

(9) 工程9

ウエハ全面にアルミニウムを蒸着した後、配線8以外のアルミニウムをエッチングして取り除く。

【0029】(10) 工程10

素子を保護するためにガラスで表面を覆い、ボンディングパッド部分のみをエッチングして取り除く。

(11) 工程11

120～180℃の不活性ガス雰囲気、予め定めたアドレスパターンに従って所望のメモリセルのプレート線とワード線の間に3～7Vの電圧を印加し、かつ熱処理

を行い、オフセットセルを形成する。この後のメモリチップのウエハからの切り出し、パッケージへの搭載、及びワイヤボンディング等の工程は、一般の半導体装置と同様である。

【0030】次に、図3及び図4を参照しつつ、図1のICカードの動作を説明する。図1のICカードが、図示しないカード読み書き装置にセットされると、アンテナコイル11に誘起された起電力が電源部12に与えられ、この電源部12によって所要の直流電源が生成され、このICカード内の各部に供給される。一方、アンテナコイル11で受信した信号は、復調部14と復号部15からなる受信回路に入る。復号部15から出力された受信データはCPU16に与えられ、ROM19中のプログラムに基づいて処理される。処理結果のデータの一部は、不揮発性メモリ30に保存される。

【0031】不揮発性メモリ30へのデータの保存は、次のように行われる。まず、不揮発性メモリ30において、CPU16からアドレス信号ADRが与えられると、このアドレス信号ADRが図3中のワードデコーダ32及びプレートデコーダ33で解釈され、特定のメモリセル（例えば、310.0～310.n）が選択される。これにより、例えばメモリセル310.0では、NMOS31a、31bがオン状態となり、強誘電体キャパシタ31c、31dがそれぞれビット線BL0、/BL0に接続される。

【0032】また、アドレス信号ADRはオフセット制御部30Bに与えられ、このアドレス信号ADRで指定されるメモリセルのオフセットの有無を示す制御信号CONが出力される。

【0033】一方、CPU16からデータビット線DB0、/DB0を介して与えられたデータ信号は、図3中のフリップフロップ34Fに与えられる。この時、データビット線DB0には、オフセット制御部30Bから出力される制御信号CONで制御されるNMOS341によって、オフセット電圧Vosの重畳の有無が決定される。即ち、オフセットの施されたアドレスが指定されたときには、データビット線DB0にオフセット電圧Vosが重畳される。また、オフセットが施されていないアドレスが指定されたときは、データビット線DB0にはオフセット電圧Vosは重畳されない。

【0034】次に、タイミング回路35からのタイミング信号TM1によってNMOS34a、34bがオン状態になり、データビット線DB0、/DB0がビット線BL0、/BL0にそれぞれ接続される。更に、タイミング信号TM2によってセンスアンプ34bが活性化され、データビット線DB0、/DB0の電圧がメモリセル310.0の強誘電体キャパシタ31c、31dに印加され、オフセットの有無に応じたデータの書き込みが行われる。

【0035】不揮発性メモリ30に保存されたデータ

は、次のように読み出される。まず、書き込み時と同様に、CPU16から与えられたアドレス信号ADRに基づいて特定のメモリセル（例えば、310.0～310.n）が選択され、例えばメモリセル310.0のNMOS31a、31bがオン状態となり、強誘電体キャパシタ31c、31dがビット線BL0、/BL0に接続される。

【0036】また、オフセット制御部30Bから、アドレス信号ADRで指定されたメモリセルのオフセットの有無を示す制御信号CONが出力される。制御信号CONによってNMOS341が制御され、データビット線DB0に重畳されるオフセット電圧Vosの有無が決定される。即ち、オフセットの施されたアドレスが指定されたときには、データビット線DB0にオフセット電圧Vosが閾値電圧として重畳される。また、オフセットが施されていないアドレスが指定されたときは、データビット線DB0にはオフセット電圧Vosは重畳されない。

【0037】次に、タイミング回路35からのタイミング信号TM1によってNMOS34a、34bがオン状態になり、ビット線BL0、/BL0がデータビット線DB0、/DB0にそれぞれ接続される。これにより、強誘電体キャパシタ31c、31dに保持されていた電位がデータビット線DB0、/DB0に与えられる。更に、タイミング信号TM2によってセンスアンプ34bが活性化されると、フリップフロップ34Fによってデータビット線DB0、/DB0の電位差が増幅され、安定した論理レベルの電位が、これらのデータビット線DB0、/DB0に出力される。即ち、オフセットの有無に応じた閾値電圧でデータの読み出しが行われる。

【0038】不揮発性メモリ30から読み出されたデータは、CPU16で処理される。CPU16の処理結果の送信データは、符号部17と変調部18の送信回路をととして、アンテナコイル11から送信される。

【0039】以上のように、本実施形態のICカードは、選択的にオフセット処理が施された不揮発性メモリ30にデータを保存するようにしている。従って、記憶部30Aに対して、レジン除去、光学的解析等の物理的手法を施しても、その記憶内容を読み取ることは不可能である。一方、メモリセル毎のオフセット処理の有無は、アドレス信号ADRを演算してオフセットの有無を算出するオフセット制御部30Bで管理しているので、従来のようにデータ自体を暗号化する暗号部に比べて、回路規模を小さくすると共に、処理時間を短縮することができるという利点がある。

【0040】なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次の(a)～(f)のようなものがある。

(a) 図1において、不揮発性メモリ30を非接触型のICカードに適用した例を示したが、ICカードに限

定されず、どのような用途にもセキュリティのある不揮発性メモリとして同様に適用可能である。

(b) 図1中のオフセット制御部30Bは、オフセットのアドレスパターンに応じて適宜構成を代えることができる。例えば、アドレスの値に無関係にランダムにオフセットを行う場合には、ROM等を用いることができる。

【0041】(c) メモリセル31の構成は、図3中の回路に限定されない、1つのトランジスタと1つの強誘電体キャパシタで1ビットを記憶するようにしても良い。その場合、これに適したセンスアンプを用いる必要がある。

(d) センスアンプ34の構成は、図3中の回路に限定されない。

【0042】(e) メモリセル31に対するオフセットのための温度や印加電圧は、例示した値に限定されない。強誘電体キャパシタの材料や膜厚等によって最適値が異なる。

(f) 図3の不揮発性メモリ30では、強誘電体キャパシタ31c、31dを有するメモリセル31を用い、特定アドレスのメモリセルに対して熱処理によるオフセット処理を施すことによって暗号化を行うようにしている。この強誘電体キャパシタ31c、31dを用いたメモリセル31に代えて、浮遊ゲート構造を有する絶縁ゲート型電界効果トランジスタ(MOSFET)を使用するEEPROMを用いても良い。

【0043】図6は、MOSFETの浮遊ゲートに蓄積された電荷量とドレイン電流の関係を示す特性図である。EEPROMを用いた不揮発性メモリの暗号化は、図6に示すように、浮遊ゲートに蓄積された電荷量に応じて、変化するドレイン電流 I_d 特性を利用するものである。EEPROMにおいては、図6に示す $I-V$ カーブ200において、浮遊ゲートに蓄積された電荷量に応じて、同ドレイン電流を有する読み出しゲート電圧 V_g 、201、および、211がそれぞれ、閾値となり、“0”および“1”データを記憶する。これらのデータの書き込みおよび読み出しは、マトリクス化されたセルアレー、デコーダおよびセンサラッチ回路により、これを行う。

【0044】不揮発性メモリへの暗号データ化機能付加は、以下の手法でこれを行う。EEPROMにおいては、書き込み/消去時、浮遊ゲートへの電荷の注入および引き出しは、トンネル酸化膜を通して流れるトンネル電流によって行われる。トンネル電流は、トンネル酸化膜の厚さ、またはトンネル酸化膜内のトラップ単位量によっても変化する。トンネル酸化膜が薄い場合、またはトンネル酸化膜中のトラップ単位の増加によりトンネル電流は増加し、浮遊ゲートに蓄積される電荷が増大するため、図6の点221に示すとおり高い閾値となる。

【0045】この場合の好適な実施例としては、トンネ

ル酸化膜中のトラップ単位形成方法として、トンネル酸化膜への水素、酸素、弗素、ヘリウム、原子を用いた、高エネルギー注入を用いて行う。設定エネルギーは、浮遊ゲートおよびその上のコントロールゲートを通して行うため、それら、透過膜厚を考慮し、原子飛程がトンネル膜となるように設定する。

【0046】EEPROMのデータ読み出しは、センサラッチ回路によって行われるが、EEPROMセルアレー中に、上述の高い閾値を有するEEPROMセルを持つ場合、基準電圧に対し、高い閾値となるセルが複数存在するため、一様なセンサラッチ回路では読み出しが不安定となる。しかしながら、閾値の異なるオフセットセルの位置が確定されている場合、対応するセンサラッチ回路にレベルシフトを設けることにより、正常読み出しが可能となる。

【0047】なお、オフセットセルの形成は、ウエハプロセス上で、所望のパターンを有するマスクを用い、上述した高エネルギー注入を行うことにより形成する。これにより、前記実施形態で説明した強誘電体キャパシタを用いた不揮発性メモリと同様の利点を得られる。

【0048】

【発明の効果】以上詳細に説明したように、第1の発明によれば、記憶手段の記憶素子として2種類の残留分極特性を有する強誘電体を用いられているので、外部からの物理的手法では、その記憶内容を読み出すことができない。また、アドレスパターンに基づいて記憶手段のアドレス毎の残留分極特性の区別を示す制御信号を出力する制御手段と、この制御信号に従って記憶素子の残留分極値を判定する読出手段を有しているため、暗号化回路等の大規模な回路と処理を必要とせず、所要面積の小さな回路で迅速に正しいデータを読み出すことができる。

【0049】第2の発明では、メモリセルを形成した後、一定の温度条件下で、所定の電圧を印加して残留分極特性を変化させる処理を追加している。これにより、予め定めたアドレスパターンに従って、確実に残留分極特性を変化させることができる。

【図面の簡単な説明】

【図1】本発明の実施形態を示すICカードの構成図である。

【図2】従来のICカードの一例を示す構成図である。

【図3】図1中の不揮発性メモリ30の概略の構成図である。

【図4】図3中のメモリセル31の記憶原理の説明図である。

【図5】図3の不揮発性メモリ30として使用される強誘電体メモリの製造工程図である。

【図6】MOSFETの浮遊ゲートに蓄積された電荷量とドレイン電流の関係を示す特性図である。

【符号の説明】

30 不揮発性メモリ

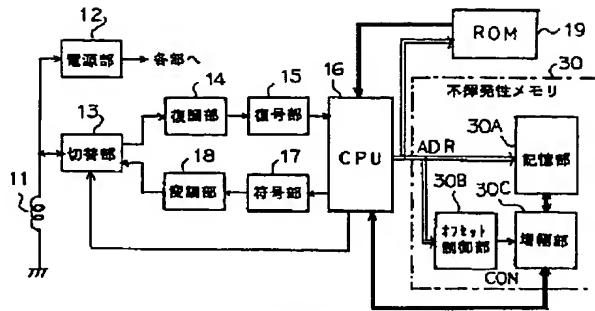
11

12

- 30A 記憶部
30B オフセット制御部
30C 増幅部
31 メモリセル
31a, 31b NMOS

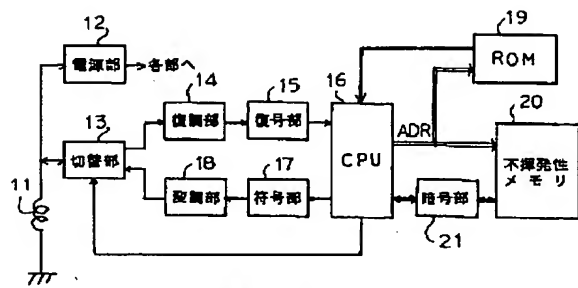
- 31c, 31d 強誘電体キャパシタ
32 ワードデコーダ
33 プレートデコーダ
34 センスアンプ
35 タイミング回路

【図1】



本発明の実施形態のICカード

【図2】



従来のICカード

【図3】

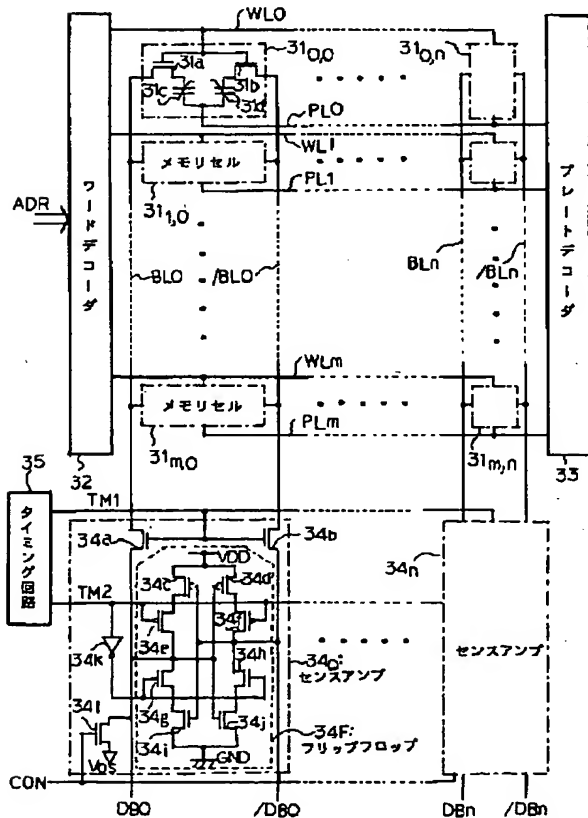


図1中の不揮発性メモリ30

【図4】

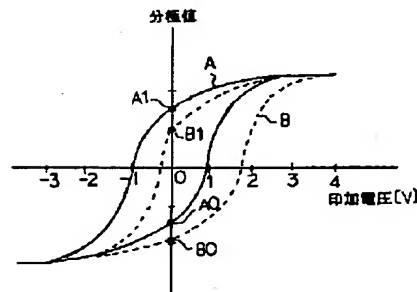
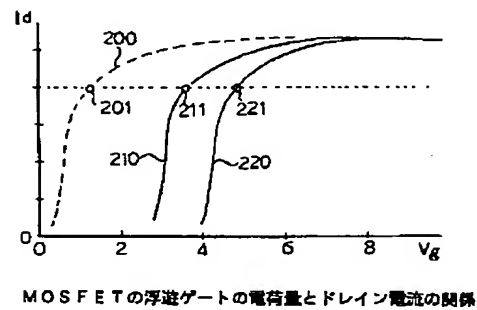


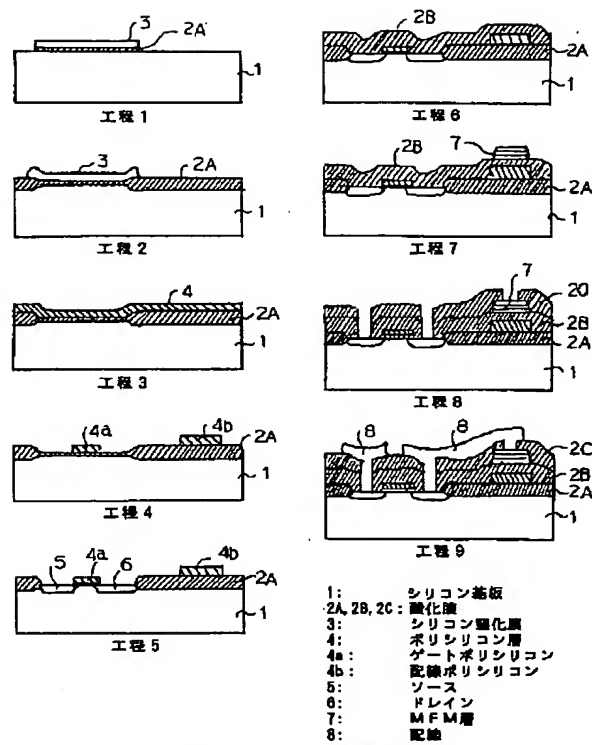
図3中のメモリセル31の記憶原理

【図6】



MOSFETの浮遊ゲートの電荷量とドレイン電流の関係

【図5】



強誘電体メモリの製造工程

フロントページの続き

(51)Int.Cl.⁷

H01L 27/10
27/108
21/8242

識別記号

451

FI

G11C 17/00

H01L 27/10

テマコード (参考)

623Z
634C
651